

# 공개특허 제1998-85786호(1998.12.05) 1부.

[첨부그림 1]

특1998-085786

## (19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>

(11) 공개번호 특1998-085786

H01L 21/76

(43) 공개일자 1998년12월05일

(21) 출원번호 특1997-021947

(22) 출원일자 1997년05월30일

(71) 출원인 삼성전자 주식회사 유종용

경기도 수원시 팔달구 매탄동 416번지

(72) 발명자 김성익

제주도 북제주군 조천읍 함덕리 1016번지

(74) 대리인 이영필, 권석훈, 노민식

심사청구 : 없음

### (54) 반도체장치의 에어 버퍼 트렌치 소자분리 형성방법

#### 요약

본 발명은 반도체 장치의 에어 버퍼 트렌치 소자 분리(air-buffered trench isolation) 형성 방법을 개시한다. 본 발명은, 반도체 기판 상에 식각 저지막 패턴을 형성하고, 식각 저지막 패턴을 마스크(mask)로 반도체 기판 상을 식각하여 제1트렌치를 형성한다. 이후에, 제1트렌치 상에 스페이서(spacer)를 형성하고 스페이서 상에 마스크로 제1트렌치 상을 식각하여 제2트렌치를 형성한다. 이때, 제2트렌치는 이방성 건식 식각 방법을 이용하여 형성한다. 따라서 제2트렌치의 선폭은 제1트렌치의 선폭보다 작다. 연이어, 스페이서를 마스크로 제2트렌치를 등방성 식각하여 제3트렌치를 형성한다. 이때, 제3트렌치의 선폭은 제2트렌치의 선폭보다 더 넓은 선폭을 가진다. 이후에, 제3트렌치 상에 에어 버퍼 영역을 설정하는 일부를 가지며 제2트렌치를 채우는 절연막 패턴을 형성한다. 이때, 절연막 패턴으로 CVD 산화막을 이용한다. 또한, 절연막 패턴의 에어 버퍼 영역을 설정하는 일부가 제3트렌치의 선폭보다 작은 선폭을 가지도록 형성한다.

#### 도면도

#### 도10

#### 발명자

#### 도면의 간단한 설명

도 1은 종래의 반도체 장치의 에어 버퍼 트렌치 소자 분리 영역을 나타내는 평면도이다.

도 2와 도 3은 종래의 반도체 장치의 에어 버퍼 트렌치 소자 분리 형성 방법을 설명하기 위해서 도 1의 절단선 II-II'를 따라 도시한 단면도들이다.

도 4 내지 도 10은 본 발명의 반도체 장치의 에어 버퍼 트렌치 소자 분리 형성 방법을 설명하기 위해서 도시한 단면도들이다.

#### 발명의 상세한 설명

#### 발명의 목적

#### 본 발명에 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치의 소자 분리 형성 방법에 관한 것으로, 특히 반도체 장치의 에어 버퍼 트렌치 소자 분리 형성 방법에 관한 것이다.

반도체 소자의 고집적화에 따라 소자 분리 영역이 미세화 되고 있다. 이와 함께 소자 사이를 격리하기 위한 분자 분리 영역의 폭도 점차 좁아지게 되었다. 일반적인 소자 분리 방법으로는 국부 산화(local oxidation of silicon; 이하 LOCOS라 한다) 방법을 들 수 있으나, 상기 LOCOS 방법은 필드 산화막(field oxide layer)을 형성한 후 버드-빅(bird's beak)이라 불리는 소자 활성 영역을 감소시키는 현상이 발생되는 문제점이 있어, 트렌치(trench)를 이용하는 트렌치 소자 분리 방법이 제안되고 있다.

상기 트렌치 소자 분리 방법은 트렌치의 형성 및 트렌치를 채우는 절연막 패턴의 형성에 문제점이 발생할 수 있다. 이러한 문제점으로, 상기 절연막 패턴을 형성할 때 발생하는 보이드(void) 및 상기 절연막 패턴을 치밀화(densification)하는 과정에서 스트레스(stress)가 발생하는 문제점을 들 수 있다. 상기 스트레스가 상수의 상이함에 따라 그 계면에서 스트레스트(stress)가 발생하는 문제점을 들 수 있다. 상기 스트레스트에 의해 전위(dislocation)가 발생할 수 있으며, 상기 전위에 의해 누설 전류(leakage of current)의 발생과 같은 반도체 소자의 결함이 발생할 수 있다. 이러한 치밀화 과정에서 발생하는 상기 스트레스를 완화시키기 위한 방법의 하나로 에어 버퍼(air buffer)를 이용하는 에어 버퍼 트렌치 소자 분리 방법이 제

안되고 있다.

도 1은 종래의 에어 버퍼 트렌치 소자 분리 영역을 나타내는 평면도이고, 도 2와 도 3은 종래의 에어 버퍼 소자 분리 형성 방법을 설명하기 위해서 도 1의 절단선 II-II'에 따르는 단면을 도시한 단면도들이다.

구체적으로, 도 2에 도시한 바와 같이 반도체 기판(10) 상에 식각 저지막 패턴(20)을 형성한다. 이후에, 상기 식각 저지막 패턴(20)을 마스크로 상기 반도체 기판(10)을 식각하여 트렌치를 형성한다. 이때, 도 1에서의 A영역과 같이 소자 분리 영역이 교차하는 지점에서는 B영역에서의와 같은 라인형 트렌치(line type trench)에 비해 넓은 트렌치가 형성된다. 이후에, 상기 트렌치를 채우는 제1절연막 패턴(30, 31)을 형성하고 그 상에 절연막을 도포하고 에치 백(etch back)하여 상기 A영역의 트렌치에서의 제1절연막 패턴(30)을 노출시키는 개구(41)를 가지는 제2절연막 패턴(40)을 형성한다. 상기 개구(41)를 통해서 A영역의 라인형 트렌치를 채우는 제1절연막 패턴(31)을 제거한다. 연이어, 상기 개구(41)를 통해서 상기 B영역에서의 라인형 트렌치를 채우는 제1절연막 패턴(31)을 제거한다. 따라서 상기 제2절연막 패턴(40)의 하부에는 도 3에서 도시한 바와 같이 상기 B영역에서의 제1절연막 패턴(31)이 제거된 빈 공간(37)이 존재하게 된다.

이후에, 도 3에 도시한 바와 같이 상기 개구(41)를 통해서 상기 A영역의 상기 제1절연막 패턴(30)이 제거된 트렌치에 제3절연막을 매립하고 상기 제3절연막을 에치 백(etch-back)하여 제3절연막 패턴(50)을 형성한다. 이와 동시에 상기 식각 저지막 패턴(20)을 에치 백(etch-back)하여 제거함과 동시에 상기 제2절연막 패턴(40)을 일부 제거한다. 이에 따라 A영역에서는 도 3에서 도시한 바와 같이 그 측부에 에어 버퍼 영역(35)을 가지는 제3절연막 패턴(50)과 그 상의 제2절연막 패턴(40)이 트렌치를 채우고 있고, B영역에서는 제2절연막 패턴(40)에 의해서 트렌치가 차폐되고, 상기 제2절연막 패턴(40)의 하부에 빈 공간(37), 즉 에어 버퍼 영역이 형성된 형상을 가진다.

상기한 바와 같은 종래의 에어 버퍼 트렌치 소자 분리 형성 방법은, 상기 제1절연막 패턴(30, 31)이 상기 A영역의 트렌치에서 형성된 개구(41)를 통해서만 제거되므로, 상기 제1절연막 패턴(30, 31)을 제거하는 데 긴 공정 시간이 요구된다. 따라서, 상기 제1절연막 패턴(30, 31)을 제거하는 공정에 의해서 상기 반도체 기판(10)에 결함이 발생할 확률이 높아진다. 또한, 상기 A영역에서 제1절연막 패턴(30)을 제거한 후, 그 통로를 통해 B영역에서의 제1절연막 패턴(31)을 제거하는 방법으로 B영역에서 에어 버퍼 영역을 형성하므로, B영역에서의 제1절연막 패턴(31)을 완전히 제거하기는 그 수행이 어렵다. 또한, 상기 도 1에서와 도시한 바와 같이 반복되는 라인형 트렌치 소자 분리 영역이 형성되는 패턴에서 그 적용이 가능하며, 불규칙한 배열을 가지는 패턴에서는 그 적용이 어렵다.

#### 본 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 트렌치를 채우는 절연막의 치밀화에 의해 발생하는 스트레스를 완화시키며, 상기한 바와 같은 에어 버퍼를 형성하는 데 긴 공정 시간이 요구되지 않는 에어 버퍼 트렌치 소자 분리 형성 방법을 제공하는 데 있다. 또한 불규칙한 배열을 가지는 패턴에서도 적용이 가능한 에어 버퍼 트렌치 소자 분리 형성 방법을 제공하는 데 있다.

#### 본 발명의 구성 및 작용

상기 기술적 과제를 이루기 위하여 본 발명은, 반도체 기판 상에 식각 저지막 패턴을 형성하고 상기 식각 저지막 패턴을 마스크로 상기 반도체 기판 상을 식각하여 제1트렌치를 형성한다. 이때, 상기 식각 저지막 패턴의 하부막으로 제1패드 산화막을 상기 반도체 기판 상에 먼저 형성한다. 이후에 상기 제1트렌치의 양 측벽에 스페이서를 형성하고, 상기 스페이서를 마스크로 상기 제1트렌치 하부의 반도체 기판을 식각하여 제2트렌치를 형성한다. 상기 스페이서를 형성하는 단계 이전에 상기 제1트렌치에 제2패드 산화막을 더 형성할 수 있다. 또한, 상기 제2트렌치는 이방성 건식 식각 방법을 이용하여 형성한다. 따라서 상기 제2트렌치의 선포는 상기 제1트렌치의 선포보다 작다. 연이어 상기 스페이서를 마스크로 상기 제2트렌치의 양 측의 반도체 기판을 등방성 식각하여 제3트렌치를 형성한다. 이와 같이 하면, 상기 제3트렌치는 상기 제2트렌치의 선포보다 넓어지게 된다. 이후에, 상기 제3트렌치에 버퍼 영역을 설정하는 일부를 가지며 상기 제2트렌치를 채우는 절연막 패턴을 형성한다. 이때, CVD 산화막을 이용하여 절연막 패턴을 형성한다. 또한, 상기 절연막 패턴의 버퍼 영역을 설정하는 일부가 상기 제3트렌치의 선포보다 작은 선포를 가지도록 형성한다. 즉, 상기 절연막 패턴의 버퍼 영역을 설정하는 일부가 상기 제2트렌치의 선포 이상의 선포를 가지거나 동일한 선포를 가지도록 형성한다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

도 4 내지 도 10은 본 발명의 에어 버퍼 트렌치 소자 분리 형성 방법을 설명하기 위해서 도시한 단면도들이다.

도 4는 반도체 기판(100) 상에 식각 저지막 패턴(300)을 형성하는 단계를 나타낸다.

구체적으로, 반도체 기판(100)에 열 산화막 또는 CVD(Chemical Vapor Deposition) 산화막을 이용하여 제1패드 산화막(pad oxide layer; 200)을 형성한다. 이후에 상기 제1패드 산화막(200) 상에 절연막, 예컨대 질화막(SiN)을 형성한다. 이때, 상기 질화막 상에 HTO(Hot Temperature Oxide)막 등과 같은 산화막을 더 형성할 수 있다. 이후에 상기 산화막 상에 포토레지스트 패턴(도시되지 않음)을 형성하고, 상기 포토레지스트 패턴을 마스크로 상기 산화막 및 질화막, 즉, 식각 저지막을 식각하여 산화막 패턴(330) 및 질화막 패턴(310)을 포함하여 이루어지는 식각 저지막 패턴(300)을 형성한다. 이후에 상기 포토레지스트 패턴을 제거한다.

도 5는 반도체 기판(100)에 제1트렌치(400)를 형성하는 단계를 나타낸다.

상기 식각 저지막 패턴(300)을 마스크로 상기 반도체 기판(100) 상을 식각하여 제1트렌치(400)를 형성한다. 이때, 습식 식각 방법 또는 건식 식각 방법을 이용한다. 이때, 상기 제1트렌치(400)는 이후의 소자 분리 영역의 역할을 하는 트렌치를 형성하기 위한 예비 트렌치이므로, 그 깊이를 200 Å 내지 2000 Å 정도

의 길이로 형성한다. 이후에, 상기 제1트렌치(400) 상에 이후에 형성되는 스페이스(spacer) 등과 상기 제1트렌치(400) 상, 즉, 반도체 기판(100)과의 계면에서의 스트레스를 완화시키기 위해서 제2패드 산화막(250)을 더 형성할 수 있다. 이때, 상기 제2패드 산화막(250)은 10Å 내지 1000Å의 두께로 형성한다. 반면에 상기 제1트렌치(400)의 측벽, 즉, 반도체 기판(100)과 상기 스페이스간의 열팽창 계수 및 격자 상수(lattice parameter)가 비슷하여 그 계면에서 스트레스의 발생이 억제되면, 상기 제2패드 산화막(250)을 형성하는 단계를 생략할 수 있다.

도 6은 제1트렌치(400)의 양측면에 스페이스(500)를 형성하는 단계를 나타낸다.

구체적으로, 상기 제1트렌치(400)가 형성된 결과를 상에 절연막을 도포한다. 이때, 상기 식각 저지막 패턴(300) 등의 단차에 의해 절연막이 단차를 가지도록 그 두께를 조절하여 도포한다. 즉, 종래와는 달리 제1트렌치(400)의 선포의 넓고 좁음에 관계없이 이후에 스페이스가 형성되도록 절연막이 각각의 제1트렌치(400)에서 단차를 가지도록 그 두께를 조절한다. 또한 형성할 스페이스의 선포를 고려하여 절연막의 두께를 조절한다. 이때, 상기 절연막으로는 결정질 실리콘(polysilicon)막 또는 비정질 실리콘(amorphous silicon)막과 같은 실리콘막 및 CVD(Chemical Vapor Deposition) 산화막을 이용한다. 바람직하게는 CVD 산화막을 이용한다. 이후에 상기 절연막을 에치 백 하여 상기 제1트렌치(400) 상의 일부 영역(410)을 노출시키는 스페이스(500)를 상기 제1트렌치(400) 및 상기 식각 저지막 패턴(300)의 양측부에 형성한다. 이때, 상기 스페이스(500)는 완만한 프로파일(profile)을 가지도록 형성한다. 따라서 에치 백 공정은 건식 식각 방법, 예컨대 이방성 건식 식각 방법을 이용한다.

도 7은 제2트렌치(600)를 형성하는 단계를 나타낸다.

상기 스페이스(500)를 마스크로 건식 식각 방법, 예컨대 이방성 건식 식각 방법을 이용하여 상기 제1트렌치(400)의 노출된 일부 영역(410)을 식각하여 제2트렌치(600)를 형성한다. 이때, 상기 제2트렌치(600)는 스페이스(500)의 선포에 의해 그 선포가 설정된다. 즉, 상기 스페이스(500)에 의해 노출되는 제1트렌치(400) 상의 일부 영역(410)의 폭에 의해서 제2트렌치(600)의 선포가 설정된다. 또한 반도체 소자에서 요구되는 소자 부리의 깊이를 충족시키는 깊이로 제2트렌치(600)의 깊이를 설정한다. 이때, 상기 깊이는 이후의 제3트렌치를 형성하는 공정을 고려하여 결정한다.

도 8은 제3트렌치(700)를 형성하는 단계를 나타낸다.

상기 스페이스(500)를 마스크로 등방성 식각 공정을 이용하여 상기 제2트렌치(600)의 측부를 식각하여 제3트렌치(700)를 형성한다. 이때, 상기 제3트렌치(700)가 상기 제1패드 산화막(200)과 접촉되지 않도록 한다. 상기 제1패드 산화막(200)과 상기 제3트렌치(700)가 접촉되면, 이후의 게이트(gate) 도시에 영향을 형성하는 공정에서 브리지(bridge)가 형성되는 문제점이 발생한다.

도 9는 제3트렌치(700) 상에 제1트렌치(400)를 채우는 절연막(800)을 형성하는 단계를 나타낸다.

상기 제3트렌치(700) 상에 상기 제2트렌치(600)를 채우는 절연막(800), 예컨대 CVD 산화막을 도포한다. 이때, 상기 제3트렌치(400) 상에 형성되는 상기 절연막의 일부의 측부에는 빈 공간이 설정된다. 즉, 상기 스페이스(500)로 상기 도포되는 절연막(800)을 일부 차폐하여, 상기 스페이스(500)에 의해 노출되는 제3트렌치(700) 상에만 절연막(800)을 형성한다. 따라서, 상기 제2트렌치(600)를 채우는 절연막(800)이 형성된다. 이때, 상기 절연막(800)의 일부가 상기 제3트렌치(700)의 선포보다 작은 선포를 가지도록 상기 절연막(800)을 형성한다. 이와 같이 상기 절연막 패턴(800)의 일부에 의해 빈 공간으로 남게 되는 제3트렌치의 일부 영역이 에어 버퍼 영역(900)이 된다. 상기 에어 버퍼 영역(900)은 이후에 상기 절연막(800)을 치밀화 하는 공정에서 스트레스를 완화시키는 역할을 한다.

상기한 바와 같은 일부를 가지는 절연막(800)은 상기 제1트렌치(400)를 완전히 매움하여 상기 식각 저지막 패턴(300)을 뒤덮는다. 이때, 상기 제1트렌치(400)를 매움하는 절연막(800) 부분은 상기 스페이스(500)의 완만한 프로파일에 의해서 상기 제3트렌치(700)를 일부 매움한 절연막(800)의 일부에 비해 그 선포가 크다.

도 10은 절연막(800)을 패터닝하여 절연막 패턴(850)을 형성하는 단계를 나타낸다.

상기 절연막(800)의 전면을 에치 백 또는 화학적 기계적 연마(CMP: Chemical Mechanical Polishing) 방법으로 평탄화한다. 이때, 상기 평탄화 공정은 상기 식각 저지막 패턴(300)이 드러날 때까지 진행한다. 이와 같이 하여 상기 제3트렌치(700) 상에 에어 버퍼 영역(900)을 설정하는 일부를 가지고, 상기 제1트렌치(400)를 채우는 절연막 패턴(850)을 형성한다.

이와 같이 형성된 에어 버퍼 영역(900)에 의해 이후의 상기 절연막 패턴(850)을 치밀화할 때, 통상의 트렌치 소자 부리에서 발생하는 스트레스를 완화시킬 수 있다. 또한 종래의 에어 버퍼 트렌치 소자 부리 방법과는 달리 소자 부리 영역의 넓이에 관계없이 스페이스(500)를 형성하여 에어 버퍼 영역(900)을 형성함으로써, 도 1에 도시한 바와 같은 라인형의 트렌치 소자 부리 영역과 같은 규칙적인 패턴에 적용이 가능할 뿐 아니라 불규칙한 패턴에서의 적용도 가능하다. 또한 각각의 트렌치에서 에어 버퍼를 형성하는 공정이 진행되므로 종래와 같이 에어 버퍼를 형성하기 위한 등방성 식각 공정에서의 긴 공정 시간에 비해 보다 짧은 등방성 식각 공정 시간을 구현할 수 있다.

이상, 본 발명을 구체적인 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야의 통상의 지식에 의해서 그 변형이나 개량이 가능할 수 있다.

#### 발명의 효과

상술한 바와 같이, 본 발명에 의한 반도체 장치의 트렌치 소자 부리 형성 방법은 제1트렌치를 형성하고 스페이스를 이용하여 제2트렌치 및 제3트렌치를 형성하여 상기 제1트렌치 및 제3트렌치에 절연막을 매립함으로써 에어 버퍼 영역을 형성할 수 있다. 따라서, 절연막의 치밀화에 의한 스트레스의 발생을 억제할 수 있으며 반도체 장치의 물량을 감소시킬 수 있다.

(5) 광구의 분배

형구함 1

반도체 기판 상에 식각 저지막 패턴을 형성하는 단계;

상기 식각 저지막 패턴을 마스크로 상기 반도체 기판을 식각하여 제1트렌치를 형성하는 단계;

상기 제1트렌치의 양측벽에 스페이서를 형성하는 단계;

상기 스페이서를 마스크로 상기 제1트렌치 하부의 반도체 기판을 식각하여 제2트렌치를 형성하는 단계;

상기 스페이서를 마스크로 상기 제2트렌치 양측의 반도체 기판을 등방성 식각하여 제3트렌치를 형성하는 단계; 및

상기 제3트렌치에 버퍼 영역을 설정하는 일부를 가지며 상기 제2트렌치를 채우는 절연막 패턴을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 장치의 에어 버퍼 트렌치 소자 분리 형성 방법.

형구함 2

제1항에 있어서, 상기 식각 저지막 패턴을 형성하는 단계 이전에 상기 반도체 기판 상에 제1패드 산화막을 형성하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 반도체 장치의 에어 버퍼 트렌치 소자 분리 형성 방법.

형구함 3

제1항에 있어서, 상기 스페이서를 형성하는 단계 이전에 상기 제1트렌치에 제2패드 산화막을 형성하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 반도체 장치의 에어 버퍼 트렌치 소자 분리 형성 방법.

형구함 4

제1항에 있어서, 상기 스페이서는 실리콘막 또는 CVD 산화막으로 형성되는 것을 특징으로 하는 반도체 장치의 에어 버퍼 트렌치 소자 분리 형성 방법.

형구함 5

제1항에 있어서, 상기 제2트렌치는

이방성 건식 식각 방법으로 수행되는 것을 특징으로 하는 반도체 장치의 에어 버퍼 트렌치 소자 분리 형성 방법.

형구함 6

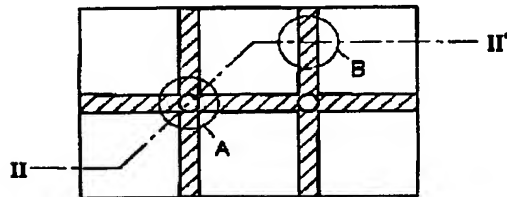
제1항에 있어서, 상기 절연막 패턴은 에어 버퍼 영역을 설정하는 일부가 상기 제3트렌치의 선폭보다 작은 선폭을 가지도록 형성되는 것을 특징으로 하는 반도체 장치의 에어 버퍼 트렌치 소자 분리 형성 방법.

형구함 7

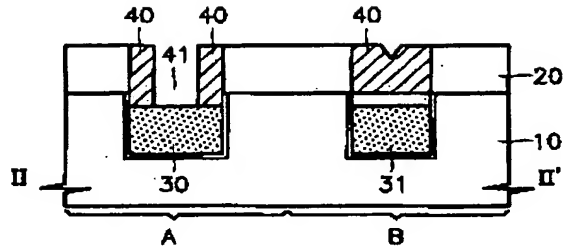
제1항에 있어서, 상기 절연막 패턴은 CVD 산화막으로 형성되는 것을 특징으로 하는 반도체 장치의 에어 버퍼 트렌치 소자 분리 형성 방법.

도면

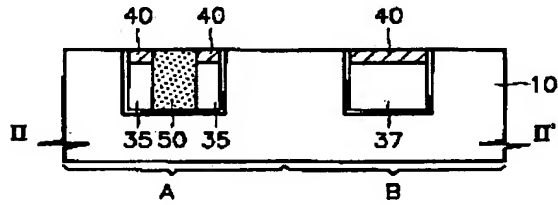
도면1



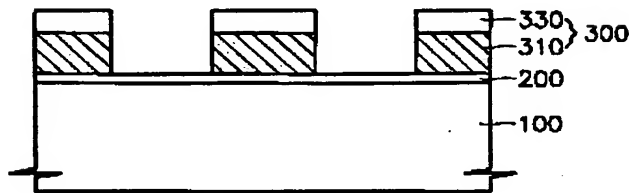
도면2



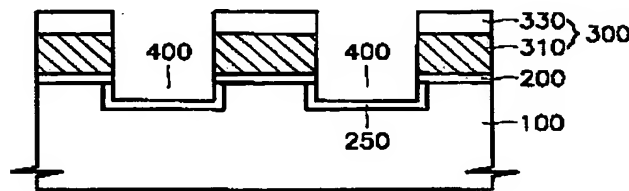
도면3



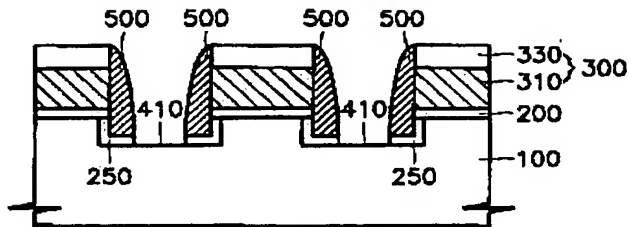
도면4



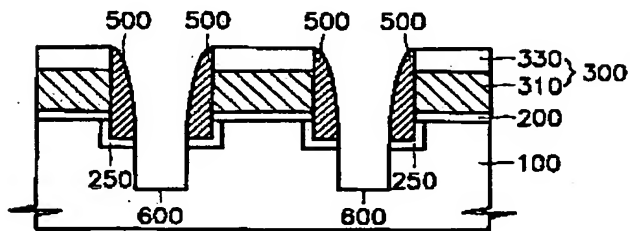
도면5



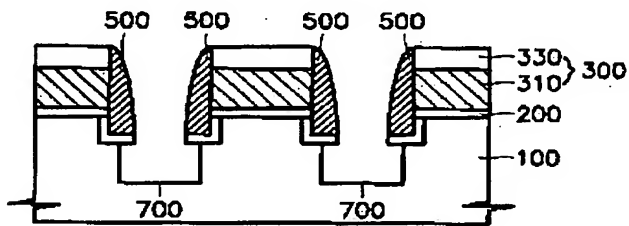
도 20



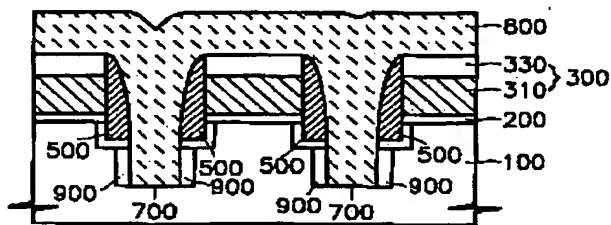
도 21



도 22



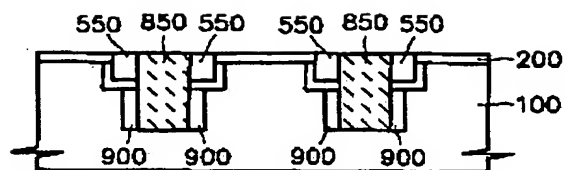
도 23



[첨부그림 7]

특 1998-085786

도 10



7-7

7-7